

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-102312

(43)Date of publication of application : 23.04.1993

(51)Int.Cl.

H01L 21/82
H03K 3/356
H03K 19/0175

(21)Application number : 03-261555

(71)Applicant : NEC CORP

(22)Date of filing : 09.10.1991

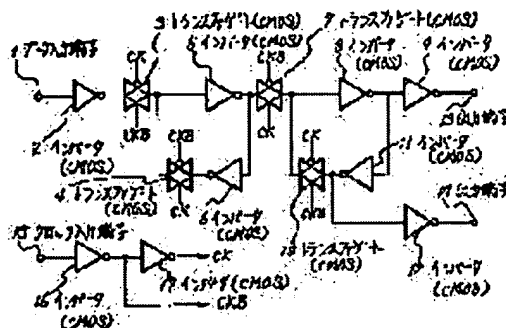
(72)Inventor : OYAMADA MAKOTO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To make a timing design easy and to efficiently design a circuit provided with a plurality of power supplies in a semiconductor integrated circuit which is constituted by connecting functional blocks.

CONSTITUTION: A semiconductor integrated circuit which is constituted by connecting functional blocks is provided with a feature that all input terminals of all the functional blocks as its constituent elements are connected to only gate electrodes for MOS transistors. The figure is an example of the functional blocks as the constituent elements; a data input terminal 1 and a clock input terminal 15 are connected to gate electrodes for MOS transistors which constitute inverters (CMOS) 2, 16, respectively.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-102312

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

H 0 3 K 3/356

19/0175

C 7328-5 J

9169-4M

6959-5 J

H 0 1 L 21/ 82

H 0 3 K 19/ 00

P

1 0 1 K

審査請求 未請求 請求項の数1(全 4 頁) 最終頁に続く

(21)出願番号

特願平3-261555

(22)出願日

平成3年(1991)10月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小山田 誠

東京都港区芝五丁目7番1号日本電気株式
会社内

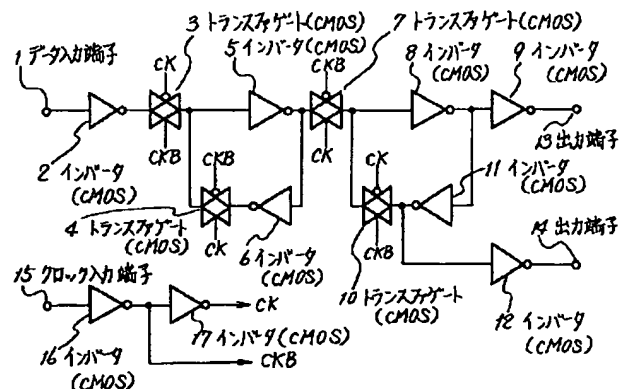
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】機能ブロックを接続することにより構成される半導体集積回路において、タイミング設計の容易化と、複数の電源を有する回路の設計の効率化を実現する。

【構成】機能ブロックを接続することにより構成される半導体集積回路において、その構成要素である全ての機能ブロックの全ての入力端子がMOSトランジスタのゲート電極のみに接続されるという特徴を備えている。図1は構成要素となる機能ブロックの1例でありデータ入力端子1、クロック入力端子1、5の両者について、それぞれインバータ(CMOS)2、16を構成するMOSトランジスタのゲート電極に接続されている。



【特許請求の範囲】

【請求項 1】 機能ブロックを接続することにより構成される半導体集積回路において、構成要素となる全ての機能ブロックの全ての入力端子が MOS トランジスタのゲート電極のみに接続されることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に機能ブロックを接続することにより構成される半導体集積回路に関する。

【0002】

【従来の技術】 従来、機能ブロックを接続することにより構成される半導体集積回路に関し、これを構成する機能ブロックの 1 例としてマスタースレイブ型のフリップフロップ回路を CMOS 構成で実現した例を図 3 に示す。ここで 34 はデータ入力端子、36, 37, 40, 41 はトランスファゲート (CMOS)、38, 39, 42, 43, 44, 45, 48, 49 はインバータ (CMOS)、35 はクロック入力端子、46, 47 は出力端子である。また図 4 は、このフリップフロップ回路の構成要素の 1 つであるトランスファゲート (CMOS) 36, 37, 40, 41 のトランジスタレベルの回路図であり、50, 55 は双方向端子、51 は電源端子、52 は接続端子、53, 54 はスイッチング入力端子、56 は P チャンネル MOS トランジスタ、57 は N チャンネル MOS トランジスタを示す。このトランスファゲートにおいて、スイッチング入力端子 53, 54 がそれぞれ L レベルと H レベルになると P チャンネル MOS トランジスタ 56、N チャンネル MOS トランジスタ 57 共に ON 状態となり、双方向端子 50, 55 の間で信号の伝搬が可能となる。また、スイッチング入力端子 53, 54 がそれぞれ H レベルと L レベルになると、P チャンネル MOS トランジスタ 56、N チャンネル MOS トランジスタ 57 が共に OFF 状態となり、双方向端子 50 と 55 の間は絶縁される。従って、図 3 のフリップフロップ回路のクロック入力端子 35 が L レベルになると、トランスファゲート (CMOS) 36, 41 が ON 状態、トランスファゲート (CMOS) 37, 40 が OFF 状態となり、トランスファゲート (CMOS) 37、インバータ (CMOS) 38, 39 からなるループ (以下第 1 のループとする) はデータがスルーの状態、トランスファゲート (CMOS) 41、インバータ (CMOS) 42, 44 からなるループ (以下第 2 のループとする) はラッチ状態となりこの時出力端子 46, 47 に出力される信号はデータ入力端子 34 に入力される入力信号に依存せず、常に第 2 のループにラッチされているデータが出力される。一方、クロック入力端子が H レベルになると、トランスファゲート (CMOS) 36, 41 が OFF 状態、トランスファゲート (CMOS) 37, 40 が ON 状態

となり、第 1 のループはラッチ状態、第 2 のループはスルー状態となり、第 1 のループにラッチされているデータが出力端子 46, 47 に出力され、この時の出力信号はデータ入力端子 34 に入力される入力信号に依存しない。また、第 1 のループにラッチされるデータは、クロック入力端子 35 が L レベルから H レベルに変化する時にデータ入力端子に入力されている入力信号である。従来、このフリップフロップ回路のように、データの入出力をトランスファゲートで制御する機能ブロックにおいて、トランスファゲートの双方向端子が入力端子に直接接続されているものが存在した。また、データの入出力をトランスファゲートで制御する機能ブロック以外にも、トランスファゲートを用いた機能ブロックにおいて、トランスファゲートの双方向端子が入力端子に直接接続されているものが存在した。

【0003】

【発明が解決しようとする課題】 しかしながら、半導体集積回路の構成要素としてトランスファゲートの双方向端子が直接接続された入力端子を有する機能ブロック (説明の便宜上、以下この機能ブロックの 1 例として、図 2 を用いて説明する) を含む場合に、以下に示す 2 つの問題点を持つ。

【0004】 まず第 1 の問題点は、図 3 に示す機能ブロックにおいて、トランスファゲート 36 を構成する P チャンネル MOS トランジスタ 56 の基板電位以上の電圧をデータ入力端子 34 に印加すると、トランスファゲートのスイッチング動作が保証されない点である。これは、図 4 に示すトランスファゲートにおいて双方向端子 50 に電源端子にかかる基板電位以上の電圧を印加すると電源端子が接続された基板の N⁺ 拡散層と双方向端子が接続された P チャンネル MOS トランジスタ 56 の P⁺ 拡散層の間に順方向電流が流れ、トランスファゲート本来のスイッチング動作が阻害されるという理由による。このため、このブロックを含む CMOS 回路において、複数の電源を用いた時、例えば、電源電圧 5 V 系の回路と 3.3 V 系の回路を有する半導体集積回路において、図 3 に示す機能ブロックを電源電圧 3.3 V で動作させることを考えた場合に、データ入力端子 34 に 5 V 系の回路の信号を直接印加できないといった不都合を生じる。従って複数の電源を有する半導体集積回路設計する場合、このようなブロックについて入力信号の振幅を考慮する必要があり、回路設計を複雑にする一因となっていた。

【0005】 また、第 2 の問題点は、図 3 に示す機能ブロックにおいてトランスファゲート 36 が ON である時にデータ入力端子 18 から見える容量は、インバータ 38 の入力ゲート容量と、トランスファゲート 37 を構成する P チャンネル MOS トランジスタ 56 と N チャンネル MOS トランジスタ 57 のデータ入力端子 18 が接続された側の、それぞれ P⁺ 拡散層容量及び N⁺ 拡散層容量と

の和であるが、トランスファゲート36がOFFである時は、トランスファゲート36を構成するPチャネルMOSトランジスタ56とNチャネルMOSトランジスタ57のデータ入力端子34が接続された側の、それぞれP⁺拡散層容量とN⁺拡散層容量のみであり、トランスファゲート36がONであるかOFFであるかにより、データ入力端子34から見える容量が変化することに起因する。すなわちこのために、図3に示すブロックを含む半導体集積回路に対して、遅延を考慮した論理シミュレーションを行う際、この機能ブロックのデータ入力端子34に接続された前段のブロックの信号伝搬遅延時間の算出時に、トランスファゲート34がONであるかOFFであるかを考慮しなければならなくなり、タイミング設計が難しくなる。

【0006】

【課題を解決するための手段】機能ブロックを接続することにより構成される半導体集積回路において、その構成要素となる全ての機能ブロックの全ての入力端子がMOSトランジスタのゲート電極のみに接続されている。

【0007】

【実施例】次に本発明について図面を参照して説明する。

【0008】図1は本発明の第1の実施例である半導体集積回路を構成する機能ブロックの1例として示した、マスタースレーブ型のフリップフロップをCMOS構成で実現した回路である。1はデータ入力端子、2, 5, 6, 8, 9, 11, 12, 16, 17はインバータ(CMOS)、3, 4, 7, 10はトランスファゲート(CMOS)、13, 14は出力端子、15はクロック入力端子である。この様な構成であるから、データ入力端子1から見える容量は常にインバータ(CMOS)2のゲート入力容量のみであり、トランスファゲート(CMOS)3のON, OFFに影響されない。従って、遅延を考慮した論理シミュレーションを行うにあたって図3に示した機能ブロックに対してシミュレーションを実行する時の様に、データ入力端子から見える容量の変化を考慮する必要がなく、タイミング設計を容易化できる。更に、入力端子は全てPチャネルMOSトランジスタ及びNチャネルMOSトランジスタのゲート電極に接続されているため、入力ゲート耐圧の許容範囲内において入力端子に電源電圧よりも高い電圧を印加しても動作が保証される。このため、例えば電源電圧5V系の回路と3.3V系の回路を有する多電源のCMOS回路において、図1に示すブロックが電源電圧3.3Vで動作する場合においても、インバータ(CMOS)2の入力ゲート耐圧が5V以上である限り、データ入力端子1に電源電圧5V系の回路の信号を直接入力することができ、回路設計の際に入力信号の振幅のことを、図3に示した機能ブロックのように考慮する必要がなく、回路設計を効率化でき

【0009】図2は本発明の第2の実施例である半導体集積回路を構成する機能ブロックの1例として、マスタースレーブ型のフリップフロップをnMOS構成で実現した回路である。18はデータ入力端子、21, 22, 24, 25, 27, 28, 32, 33, 34はインバータ(nMOS)、19, 20, 23, 26はトランスファゲート(nMOS)、29, 30は出力端子、31はクロック入力端子である。このような構成であるからデータ入力端子18はトランスファゲート19のON, OFFに関係なく常にインバータ(nMOS)のゲート入力容量のみである。従って遅延を考慮した論理シミュレーションを行うにあたってデータ入力端子42が直接トランスファゲート(nMOS)19のN⁺拡散層に接続された機能ブロックに対してシミュレーションを実行する時の様に、データ入力端子から見える容量の変化を考慮する必要がなく、タイミング設計が容易になる。

【0010】以上、実施例1で示したのはCMOS回路、実施例2で示したのはnMOS回路の例であったが、実施例1で述べた複数の電源を用いた場合の回路設計の効率化という効果については、CMOS回路、BiCMOS回路について有効であり、また、実施例1, 2で述べたタイミング設計の容易化という効果については、CMOS回路, nMOS回路, BiCMOS回路について有効である。

【0011】

【発明の効果】以上説明したように、本発明の機能ブロックを接続することにより構成される半導体集積回路は、構成要素である全ての機能ブロックについて、全ての入力端子がMOSトランジスタのゲート電極のみに接続されているため、nMOS回路, CMOS回路及びBiCMOS回路についてはタイミング設計の効率化を、またCMOS回路及びBiCMOS回路については、複数の電源を有する回路の設計の効率化を実現するという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体集積回路を構成する機能ブロックの1例を示す回路ブロック図。

【図2】本発明の第2の実施例の半導体集積回路を構成する機能ブロックの1例を示す回路ブロック図。

【図3】従来の半導体集積回路を構成する機能ブロックの1例を示す回路ブロック図。

【図4】トランスファゲートのトランジスタレベルの回路図。

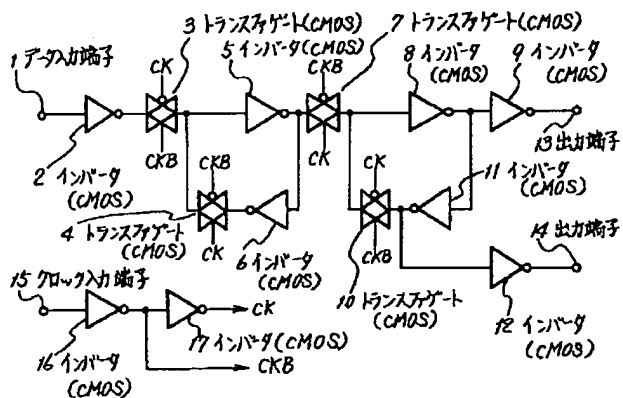
【符号の説明】

1, 18, 34 データ入力端子
3, 7, 10, 36, 37, 40, 41 トランスファゲート(CMOS)
2, 5, 6, 8, 9, 11, 12, 16, 17, 38, 39, 42, 43, 44, 45, 48, 49 インバータ(CMOS)

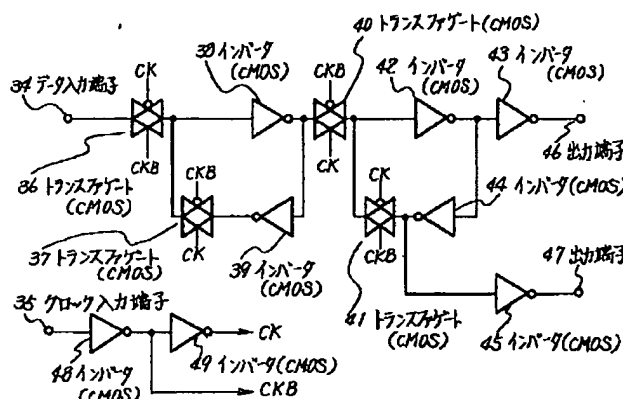
21, 22, 24, 25, 27, 28, 32, 33, 3
4 インバータ (nMOS)
19, 20, 23, 26 トランスファゲート (nMOS)
15, 31, 35 クロック入力端子
50, 55 双方向端子

51 電源端子
52 接地端子
53, 54 スイッチング入力端子
56 PチャネルMOSトランジスタ
57 NチャネルMOSトランジスタ

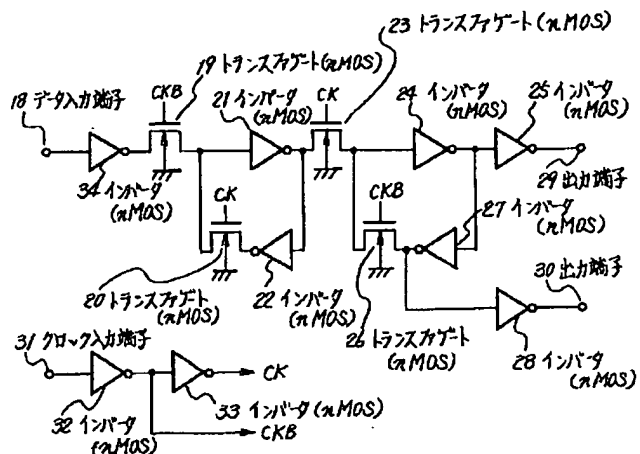
【図1】



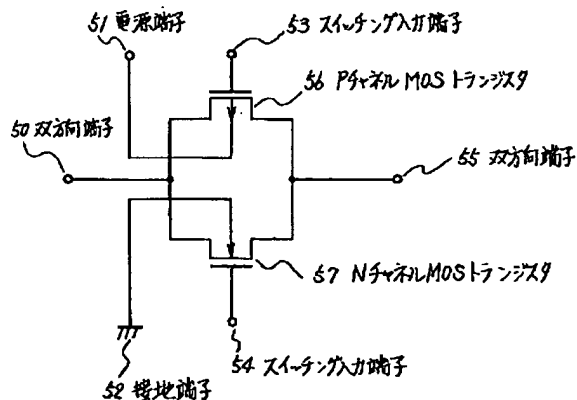
【図3】



【図2】



【図4】



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

6959-5 J

F I

H O 3 K 19/00

技術表示箇所

1 0 1 N